

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-102466
 (43) Date of publication of application : 13.04.2001

(51) Int.CI. H01L 21/8247
 H01L 29/788
 H01L 29/792
 G11C 16/02
 G11C 16/04
 H01L 27/115

(21) Application number : 2000-237527 (71) Applicant : HALO LSI DESIGN & DEVICE
 TECHNOL INC
 NEW HEIRO:KK
 (22) Date of filing : 04.08.2000 (72) Inventor : HAYASHI YUTAKA
 OGURA SEIKI

(30) Priority

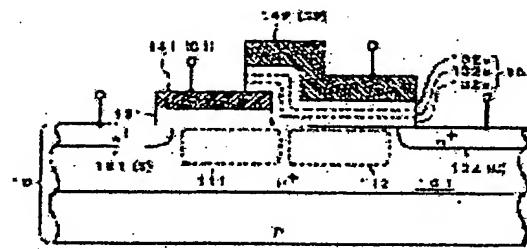
Priority number : 1999 147258 Priority date : 05.08.1999 Priority country : US
 1999 473031 28.12.1999 US

(54) NONVOLATILE MEMORY CELL, ITS PROGRAMMING METHOD AND NONVOLATILE MEMORY ARRAY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a high speed nonvolatile memory cell and low programming voltage, its programming method and a nonvolatile memory array.

SOLUTION: This nonvolatile memory cell is provided with a first gate insulation film 131 formed on the surface of a first channel forming region 111 adjacent to a source region 121, a second gate insulation film 132 formed on the surface of a second channel forming region 112 adjacent to a drain region 122, a first gate electrode 141 which is formed via the first gate insulation film, and a second gate electrode 142 which is formed via the second gate insulation film. The second gate insulation film contains a first layer 132a which forms a potential barrier on the interface with the channel forming region, a third layer 132c which forms a potential barrier on the interface with the second gate electrode, and a second layer 132b which is sandwiched between the first and third layers and forms the carrier capture order.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102466

(P2001-102466A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.
H 01 L 21/8247
29/788
29/792
G 11 C 16/02
16/04

識別記号

F I
H 01 L 29/78
G 11 C 17/00
6 2 3 A
6 2 3 Z
6 4 1

マークト (参考)

審査請求 未請求 請求項の数38 OL (全 16 頁) 最終頁に続く

(21)出願番号 特願2000-237527(P2000-237527)

(22)出願日 平成12年8月4日 (2000.8.4)

(31)優先権主張番号 60/147258

(32)優先日 平成11年8月5日 (1999.8.5)

(33)優先権主張国 米国 (U.S.)

(31)優先権主張番号 09/473031

(32)優先日 平成11年12月28日 (1999.12.28)

(33)優先権主張国 米国 (U.S.)

(71)出願人 599154261

ハイロ エルエスアイ デザインアンドディバイス テクノロジー インコーポレイテッド

アメリカ合衆国 12590 ニューヨーク州、
ワッピングガーズ フォールズ、メイヤーズ
コーナーズ ロード 169

(71)出願人 500361799

株式会社ニューハイロ

東京都杉並区高井戸東3丁目2番24号

(74)上記1名の代理人 100084870

弁理士 田中 香樹 (外1名)

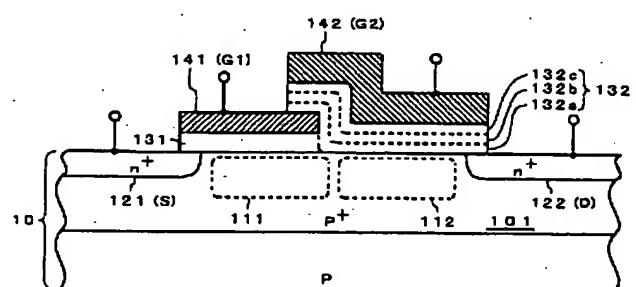
最終頁に続く

(54)【発明の名称】 不揮発性メモリセルおよびそのプログラム方法ならびに不揮発性メモリアレイ

(57)【要約】

【課題】 高速且つ低プログラム電圧の不揮発性メモリセルおよびそのプログラム方法ならびに不揮発性メモリアレイを提供する。

【解決手段】 ソース領域(121)に隣接する第1のチャネル形成領域(111)の表面に形成された第1のゲート絶縁膜(131)と、ドレイン領域(122)に隣接する第2のチャネル形成領域(112)の表面に形成された第2のゲート絶縁膜(132)と、前記第1のゲート絶縁膜を介して形成された第1のゲート電極(141)と、前記第2のゲート絶縁膜を介して形成された第2のゲート電極(142)とを具備し、第2のゲート絶縁膜は、チャネル形成領域との界面に電位障壁を形成する第1層(132a)、第2のゲート電極との界面に電位障壁を形成する第3層(132c)、および各第1、3層に挟まれてキャリア捕獲順位を形成する第2層(132b)を含む。



【特許請求の範囲】

【請求項1】 基板(10)の主表面に半導体のチャネル形成領域を挟んで形成された一対のソース(121)およびドレイン領域(122)と、

前記チャネル形成領域のうち、前記ソース領域に隣接する第1のチャネル形成領域(111)の表面に形成された第1のゲート絶縁膜(131)と、

前記チャネル形成領域のうち、前記ドレイン領域に隣接する第2のチャネル形成領域(112)の表面に形成された第2のゲート絶縁膜(132)と、

前記第1のゲート絶縁膜を介して形成された第1のゲート電極(141)と、

前記第2のゲート絶縁膜を介して形成された第2のゲート電極(142)とを具備し、

前記第2のゲート絶縁膜は、チャネル形成領域との界面に電位障壁を形成する第1層(132a)、第2のゲート電極との界面に電位障壁を形成する第3層(132c)、および前記各第1、3層に挟まれて各層との界面および自身の膜中の少なくとも1か所にキャリア捕獲順位を形成する第2層(132b)を含む少なくとも3層構造であることを特徴とする不揮発性メモリセル。

【請求項2】 前記ソース領域から第2のチャネル形成領域へ注入されたキャリアが、前記第2のゲート絶縁膜の第1層(132a)とチャネル形成領域との間の電位障壁を越えて第2のゲート絶縁膜へ注入されることを特徴とする請求項1に記載の不揮発性メモリセル。

【請求項3】 前記第2のチャネル形成領域(112)と第2のゲート絶縁膜の第1層(132a)との間に形成された電位障壁をキャリアが越えられるだけのエネルギーを当該キャリアへ与えるための第1の電位を前記ドレイン領域へ供給する第1の電位供給手段と、

前記電位障壁を越えたキャリアを、さらに第2のゲート絶縁膜の第2層(132b)に到達させる補助電界を形成させる電位を前記第2のゲート電極へ供給する第2の電位供給手段とを具備したことを特徴とする請求項1または2に記載の不揮発性メモリセル。

【請求項4】 前記第1および第2のゲート電極の少なくとも一方の端面に絶縁部材を形成したことを特徴とする請求項1ないし3のいずれかに記載の不揮発性メモリセル。

【請求項5】 前記各ゲート電極の端面に形成された絶縁部材は、基板の主表面に一様に形成された絶縁層を異方性エッチングにより選択的に除去して形成されたサイドウォールであることを特徴とする請求項4に記載の不揮発性メモリセル。

【請求項6】 前記各ゲート電極の端面に形成された絶縁部材は、各ゲート電極を酸化して形成された酸化膜であることを特徴とする請求項4に記載の不揮発性メモリセル。

【請求項7】 前記第1および第2のゲート電極を相互に

に絶縁するように形成された絶縁膜を具備したことを特徴とする請求項1ないし6のいずれかに記載の不揮発性メモリセル。

【請求項8】 前記第2のゲート電極(142)およびそのゲート絶縁膜(132)は、前記第1のゲート電極(141)のドレイン側の表面および端面を覆うように延設されたことを特徴とする請求項1ないし7のいずれかに記載の不揮発性メモリセル。

【請求項9】 前記第1のゲート電極(141)およびそのゲート絶縁膜(131)は、前記第2のゲート電極(142)のドレイン側の表面および端面を覆うように延設されたことを特徴とする請求項1ないし7のいずれかに記載の不揮発性メモリセル。

【請求項10】 前記第1および第2のゲート電極は、各電極の間隙まで延設された前記第2のゲート絶縁膜により相互に絶縁されたことを特徴とする請求項1ないし7のいずれかに記載の不揮発性メモリセル。

【請求項11】 前記第2のゲート絶縁膜では、第1層(132a)のキャリアトンネル確率が第3層(132c)のキャリアトンネル確率よりも低いことを特徴とする請求項1ないし10のいずれかに記載の不揮発性メモリセル。

【請求項12】 前記第2のゲート絶縁膜では、第1層(132a)のキャリアトンネル確率が第3層(132c)のキャリアトンネル確率よりも高いことを特徴とする請求項1ないし10のいずれかに記載の不揮発性メモリセル。

【請求項13】 前記第2のゲート絶縁膜では、第1層(132a)の膜厚が第3層(132c)の膜厚より薄いことを特徴とする請求項12に記載の不揮発性メモリセル。

【請求項14】 前記チャネル形成領域では、第2のチャネル形成領域の不純物濃度が第1のチャネル形成領域の不純物濃度よりも高いことを特徴とする請求項1ないし11のいずれかに記載の不揮発性メモリセル。

【請求項15】 基板(10)の主表面に半導体のチャネル形成領域を挟んで形成された一対のソース／ドレイン領域(221, 222)と、

前記チャネル形成領域のうち、一方のソース／ドレイン領域(221)に隣接する第2の一方側チャネル形成領域(212L)の表面に形成された第2の一方側ゲート絶縁膜(132L)と、

前記チャネル形成領域のうち、他方のソース／ドレイン領域(222)に隣接する第2の他方側チャネル形成領域(212R)の表面に形成された第2の他方側ゲート絶縁膜(132R)と、

前記各第2のチャネル形成領域に挟まれた第1のチャネル形成領域(211)の表面に形成された第1のゲート絶縁膜(131)と、

前記第2の一方側ゲート絶縁膜を介して形成された第2の一方側ゲート電極(242L)と、

前記第2の他方側ゲート絶縁膜を介して形成された第2の他方側ゲート電極(242R)と、

前記第1のゲート絶縁膜を介して形成された第1のゲート電極(241)とを具備し、

前記第2の一方側および他方側ゲート絶縁膜はキャリア電荷保持機能を有することを特徴とする不揮発性メモリセル。

【請求項16】 前記一方のソース／ドレイン領域から第2の他方側チャネル形成領域へ注入されたキャリアは、前記第2の他方側ゲート絶縁膜とチャネル形成領域との間の電位障壁を越えて第2の他方側ゲート絶縁膜へ注入されることを特徴とする請求項15に記載の不揮発性メモリセル。

【請求項17】 前記他方のソース／ドレイン領域から第2の一方側チャネル形成領域へ注入されたキャリアは、前記第2の一方側ゲート絶縁膜とチャネル形成領域との間の電位障壁を越えて第2の一方側ゲート絶縁膜へ注入されることを特徴とする請求項15に記載の不揮発性メモリセル。

【請求項18】 前記第1のゲート電極および第2の各ゲート電極の少なくとも一方の端面に絶縁部材を形成したことを特徴とする請求項15ないし17のいずれかに記載の不揮発性メモリセル。

【請求項19】 前記各ゲート電極の端面に形成された絶縁部材は、基板の主表面に一様に形成された絶縁層を異方性エッティングにより選択的に除去して形成されたサイドウォールであることを特徴とする請求項18に記載の不揮発性メモリセル。

【請求項20】 前記各ゲート電極の端面に形成された絶縁部材は、各ゲート電極を酸化して形成された酸化膜であることを特徴とする請求項18に記載の不揮発性メモリセル。

【請求項21】 前記第1および第2の各ゲート電極を相互に絶縁するように形成された絶縁膜を具備したことを特徴とする請求項15ないし20のいずれかに記載の不揮発性メモリセル。

【請求項22】 前記第2の一方側ゲート電極およびそのゲート絶縁膜は、前記第1のゲート電極の一方側の表面および端面を覆うように延設され、前記第2の他方側ゲート電極およびそのゲート絶縁膜は、前記第1のゲート電極の他方側の表面および端面を覆うように延設されたことを特徴とする請求項15ないし21のいずれかに記載の不揮発性メモリセル。

【請求項23】 前記第1のゲート電極およびその絶縁膜は、隣接する第2の一方側および他方側ゲート電極の表面および端面を覆うように延設されたことを特徴とする請求項15ないし21のいずれかに記載の不揮発性メモリセル。

【請求項24】 前記第2の一方側ゲート絶縁膜は、前記第1のゲート電極と第2の各ゲート電極との間隙まで延設されたことを特徴とする請求項15ないし21のいずれかに記載の不揮発性メモリセル。

【請求項25】 前記チャネル形成領域では、前記第2の各チャネル形成領域の不純物濃度が第1のチャネル形成領域の不純物濃度よりも高いことを特徴とする請求項15ないし24のいずれかに記載の不揮発性メモリセル。

【請求項26】 前記第2の一方側および他方側ゲート絶縁膜(132L, 132R)は、それぞれチャネル形成領域との界面に電位障壁を形成する第1層(132a)、第2の各ゲート電極との界面に電位障壁を形成する第3層(132c)、および前記各第1、3層に挟まれて各層との界面および自身の膜中の少なくとも1か所にキャリア捕獲順位を形成する第2層(132b)を含む少なくとも3層構造であることを特徴とする請求項15ないし25のいずれかに記載の不揮発性メモリセル。

【請求項27】 前記第2の各ゲート絶縁膜では、第1層(132a)のキャリアトンネル確率が第3層(132c)のキャリアトンネル確率よりも低いことを特徴とする請求項26に記載の不揮発性メモリセル。

【請求項28】 前記第2の各ゲート絶縁膜では、第1層(132a)のキャリアトンネル確率が第3層(132c)のキャリアトンネル確率よりも高いことを特徴とする請求項26に記載の不揮発性メモリセル。

【請求項29】 前記第2のゲート絶縁膜では、第1層(132a)の膜厚が第3層(132c)の膜厚より薄いことを特徴とする請求項28に記載の不揮発性メモリセル。

【請求項30】 前記請求項1ないし14のいずれかに記載の不揮発性メモリセルのプログラム方法であって、前記第2のチャネル形成領域から第2のゲート絶縁膜へのキャリア注入は、当該第2のゲート絶縁膜の第1層(132a)による電位障壁を越え得るエネルギーがキャリアに付与されるように前記ドレイン領域に所定の電位を印加し、かつ前記電位障壁を越えたキャリアに補助電界を付与するための電位を第2のゲート電極に印加することにより行われることにより行われ、

前記第2のゲート絶縁膜からのキャリアの引き出しが、当該第2のゲート絶縁膜の第3層による電位障壁層をキャリアがトンネル遷移し得る電界が当該第3層に付与されるように、前記キャリア注入時と同極性の電位を前記第2のゲート電極に印加することにより行われることを特徴とする不揮発性メモリセルのプログラム方法。

【請求項31】 前記請求項26に記載の不揮発性メモリセルのプログラム方法であって、

前記第2の一方側チャネル形成領域から第2の一方側ゲート絶縁膜へのキャリア注入は、当該第2の一方側ゲート絶縁膜の第1層(132a)による電位障壁を越え得るエネルギーがキャリアに付与されるように前記一方のソース／ドレイン領域に所定の電位を印加し、かつ前記電位障壁を越えたキャリアに補助電界を付与するための電位を第2の一方側ゲート電極に印加することにより行われ、前記第2の一方側ゲート絶縁膜からのキャリアの引き出

しは、当該第2の一方側ゲート絶縁膜の第3層による電位障壁層をキャリアがトンネル遷移し得る電界が当該第3層に付与されるように、前記キャリア注入時と同極性の電位を前記第2の一方側ゲート電極に印加することにより行われることを特徴とする不揮発性メモリセルのプログラム方法。

【請求項32】 前記請求項26に記載の不揮発性メモリセルのプログラム方法であって、

前記第2の他方側チャネル形成領域から第2の他方側ゲート絶縁膜へのキャリア注入は、当該第2の他方側ゲート絶縁膜の第1層(132a)による電位障壁を越え得るエネルギーがキャリアに付与されるように前記他方のソース／ドレイン領域に所定の電位を印加し、かつ前記電位障壁を越えたキャリアに補助電界を付与するための電位を第2の他方側ゲート電極に印加することにより行われ、

前記第2の他方側ゲート絶縁膜からのキャリアの引き出しは、当該第2の他方側ゲート絶縁膜の第3層による電位障壁層をキャリアがトンネル遷移し得る電界が当該第3層に付与されるように、前記キャリア注入時と同極性の電位を前記第2の他方側ゲート電極に印加することにより行われることを特徴とする不揮発性メモリセルのプログラム方法。

【請求項33】 前記請求項1ないし14のいずれかに記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルのソース領域同士を相互に接続する複数のビット線(LB)と、行方向に隣接する一対の不揮発性メモリセルの各ドレイン領域同士を列方向に共通接続する複数の共通線(LC)と、

同一列に配置された各不揮発性メモリセルの第2のゲート電極同士を相互に接続する複数の制御線(LS)と、同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード(LW)線とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項34】 前記請求項1ないし14のいずれかに記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルのソース領域同士を相互に接続する複数のビット線(LB)と、行方向に隣接する一対の不揮発性メモリセルの各ドレイン領域同士を列方向に共通接続する複数の共通線(LC)と、

同一行に配置された各不揮発性メモリセルの第2のゲート電極同士を相互に接続する複数の制御線(LS)と、同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード(LW)線とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項35】 前記請求項1ないし14のいずれかに記載の不揮発性メモリセルを行列方向に配置して構成さ

れた不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルのドレイン領域同士を相互に接続する複数のビット線(LB)と、行方向に隣接する一対の不揮発性メモリセルの各ソース領域同士を列方向に共通接続する複数の共通線(LC)と、

同一列に配置された各不揮発性メモリセルの第2のゲート電極同士を相互に接続する複数の制御線(LS)と、同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項36】 前記請求項1ないし14のいずれかに記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

同一行に配置された各不揮発性メモリセルのドレイン領域同士を相互に接続する複数のビット線(LB)と、行方向に隣接する一対の不揮発性メモリセルの各ソース領域同士を列方向に共通接続する複数の共通線(LC)と、

同一行に配置された各不揮発性メモリセルの第2のゲート電極同士を相互に接続する複数の制御線(LS)と、同一列に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項37】 前記請求項15ないし29のいずれかに記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

行方向に隣接する一対の不揮発性メモリセルの各ソース／ドレイン領域同士を列方向に共通接続する複数のビット線(LB)と、

同一行に配置された各不揮発性メモリセルの第1のゲート電極同士を相互に接続する複数のワード線(LW)と、

同一列に配置された各不揮発性メモリセルの第2の一方側ゲート電極同士を相互に接続する複数の第1制御線(LSa)と、

同一列に配置された各不揮発性メモリセルの第2の他方側ゲート電極同士を相互に接続する複数の第2制御線(LSb)とを具備したことを特徴とする不揮発性メモリアレイ。

【請求項38】 前記請求項15ないし29のいずれかに記載の不揮発性メモリセルを行列方向に配置して構成された不揮発性メモリアレイであって、

行方向に隣接する一対の不揮発性メモリセルの一方のソース／ドレイン領域同士を列方向に共通接続する複数の共通線(LC)と、

同一行に配置された各不揮発性メモリセルの他方のソース／ドレイン領域を相互に接続する複数のビット線(LB)と、

同一列に配置された各不揮発性メモリセルの第1のゲ

ト電極同士を相互に接続する複数のワード線 (LW) と、

同一列に配置された各不揮発性メモリセルの第2の一方側ゲート電極同士を相互に接続する複数の第1制御線 (LSa) と、

同一列に配置された各不揮発性メモリセルの第2の他方側ゲート電極同士を相互に接続する複数の第2制御線 (LSb) とを具備したことを特徴とする不揮発性メモリアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリセルおよびそのプログラム方法ならびに不揮発性メモリアレイに係り、特に、低電圧駆動および高速プログラムが可能な不揮発性メモリセルおよびそのプログラム方法ならびに不揮発性メモリアレイに関する。

【0002】

【従来の技術】絶縁膜の中にキャリア電荷を蓄積して不揮発的に情報を蓄積する半導体メモリの代表的なものにMOS構造のメモリがある。このMOSメモリは、導電ゲート (M) /シリコン窒化膜 (N) /トンネル酸化膜 (O) /半導体の積層構造からなり、シリコン窒化膜の中の捕獲準位にキャリア (電子または正孔) を捕獲してキャリア電荷を蓄積する。このとき、電荷の蓄積効率はシリコン窒化膜内のキャリアの捕獲距離に依存し、MOSメモリではシリコン窒化膜として19nm以上の膜厚が必要であった (F. L. Hampton and J. R. Cricchi, "Space charge distribution limitation of scale down of MNOS memory devices", 1979 IEDM Technical Digest, p. 374.)。

【0003】このMOSメモリをプログラム (書き込み又は消去) するためには、キャリアがトンネル酸化膜を貫通 (トンネル) して窒化膜中へ注入されるように、前記シリコン窒化膜を通して半導体表面へ電界を供給する必要があるため、少なくとも10V以上、通常は20V近いプログラム電圧が必要であった。

【0004】また、プログラム電圧を低く抑えることの可能な不揮発性メモリとして、MONOS型のメモリが提案されている (E. Suzuki, H. Hiraishi, K. Ishii and Y. Hayashi, "A Low-Voltage Alterable EEPROM with Metal-Oxide-Nitride-Oxide-Semiconductor (MONOS) Structures", IEEE Transaction on Electron Devices, Vol. ED-30, No. 2, Feb., 1983, p. 122.)。このMONOSメモリは、導電ゲート (M) /トップ酸化膜 (O) /シリコン窒化膜 (N) /トンネル酸化膜 (O) /半導体の積層構造を有する。MONOSメモリでは、トップ酸化膜の電位障壁効果によりシリコン窒化膜中のキャリアの捕獲準位を介したホッピングが止められ、窒化膜を極限まで薄くすることが可能となった。また、トップ酸化膜と窒化膜との界面にキャリアのトラップ

が新たに生成されるので、全絶縁膜厚を薄くしてもメモリウインドウの蓄積情報を判別可能な範囲に拡大できた。

【0005】このMONOSメモリにより、実使用が可能なプログラム速度 (0.1ms) と10年の記憶保持を実現する条件下でプログラム電圧を9Vまで下げることが可能になった (T. Nozaki, T. Tanaka, Y. Kijima, E. Kinoshita, T. Tsuchiya and Y. Hayashi, "A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Application", IEEE Journal of Solid-State Circuits, Vol. 26, No. 4, April, 1991, p. 497.)。

【0006】しかしながら、保持特性を確保し、かつ0.1ms以下でのプログラム速度でプログラム電圧を9Vより下げる構造は提案されていない。9V以下のプログラム電圧を実現するためには、プログラム速度または記憶保持特性、またはその両方を犠牲にしなければならなかった。

【0007】一方、プログラム電圧を低く抑えたままゲート絶縁膜への注入効率を改善する方法として、PAC (perpendicular acerated channel) 注入が提案されている (M. Kamiya, Y. Kojima, Y. Kato, K. Tanaka and Y. Hayashi, "EEPROM with High Gate Injection Efficiency", 1982 IEDM Technical Digest, 30.4, p. 741)。

【0008】PAC注入では、ソース側のチャネル形成領域上にゲート絶縁膜を介して第1の導電ゲートを配設し、ドレイン側のチャネル形成領域上に浮遊ゲートを配設する。ソースからチャネル形成領域表面に供給されたキャリアは、第1の導電ゲートのドレイン側の端部下で一旦チャネル形成領域表面から内部に押し込まれ、再度浮遊ゲート下でチャネル形成領域表面へ引き寄せられる。その時に、引き寄せられたキャリアの一部が浮遊ゲート下のゲート絶縁膜とチャネル形成領域表面との間の電位障壁を乗り越えて浮遊ゲートへ注入される。キャリアが注入されるためには、チャネル形成領域とドレイン領域の電位差が上記電位障壁VBの高さ以上必要である (外部から供給する電位はVB - 2φF2; 2φF2はチャネル形成領域のフェルミ準位)。

【0009】上記したPAC注入によれば、注入効率 (注入されるキャリア電流のチャネルを流れる電流に対する割合) が高くなる (従来のチャネルホットエレクトロン注入 [CHE注入] に較べて3桁程度の改善がみられた) ので、高速、低電流のプログラムが可能となる。

【0010】

【本発明が解決しようとする課題】最近になって、浮遊ゲート下のゲート絶縁膜の限界膜厚が8nmであることが明らかにされた (S. Lai 「8nmで限界に達するトンネル酸化膜の薄膜化——フラッシュメモリ大容量化に制限」日経マイクロデバイス 1967年1月号, p. 70)。上記のキャリア注入のためには、浮遊ゲートに

絶縁膜を介して制御ゲート（又は制御ゲートの代わりにドレイン領域）を容量結合させ、浮遊ゲートの電位を制御する構成をとっているが、この制御ゲートからみた等価絶縁膜厚は上記限界値の約2倍となってしまう。したがって、制御ゲートのプログラム時電圧はこの等価膜厚で限界があり、低電圧化に限界があった。

【0011】一方、MONOSメモリも、MNOSメモリよりも低電圧化を達成したが、プログラム時間の一層の短縮、かつプログラム電圧の低減が望まれている。

【0012】本発明の目的は、上記した従来技術の課題を解決し、MNOSメモリよりも高速且つ低プログラム電圧、従来の浮遊ゲートメモリよりも低プログラム電圧の不揮発性メモリセルおよびそのプログラム方法ならびに不揮発性メモリアレイを提供することにある。

【0013】

【課題を解決するための手段】上記した目的を達成するために、本発明は、以下のような手段を講じた点に特徴がある。

【0014】(1) 基板の主表面にチャネル形成領域を挟んで形成された一対のソースおよびドレイン領域と、前記チャネル形成領域のうち、前記ソース領域に隣接する第1のチャネル形成領域の表面に形成された第1のゲート絶縁膜と、前記チャネル形成領域のうち、前記ドレイン領域に隣接する第2のチャネル形成領域の表面に形成された第2のゲート絶縁膜と、前記第1のゲート絶縁膜を介して形成された第1のゲート電極と、前記第2のゲート絶縁膜を介して形成された第2のゲート電極とを具備し、前記第2のゲート絶縁膜は、チャネル形成領域との界面に電位障壁を形成する第1層、第2のゲート電極との界面に電位障壁を形成する第3層、および前記各第1、3層に挟まれて各層との界面および自身の膜中の少なくとも1か所にキャリア捕獲順位を形成する第2層を含む少なくとも3層構造であることを特徴とする。

【0015】(2) 第2のチャネル形成領域と第2のゲート絶縁膜の第1層との間に形成された電位障壁をキャリアが越えられるだけのエネルギーを当該キャリアへ与えるための第1の電位を前記ドレイン領域へ供給する第1の電位供給手段と、前記電位障壁を越えたキャリアを、さらに第2のゲート絶縁膜の第2層に到達させる補助電界を形成させる電位を前記第2のゲート電極へ供給する第2の電位供給手段とを具備したことを特徴とする。

【0016】(3) 基板の主表面にチャネル形成領域を挟んで形成された一対のソース/ドレイン領域と、前記チャネル形成領域のうち、一方のソース/ドレイン領域に隣接する第2の一方側チャネル形成領域の表面に形成された第2の一方側ゲート絶縁膜と、前記チャネル形成領域のうち、他方のソース/ドレイン領域に隣接する第2の他方側チャネル形成領域の表面に形成された第2の他方側ゲート絶縁膜と、前記各第2のチャネル形成領域に挟まれた第1のチャネル形成領域の表面に形成された第

1のゲート絶縁膜と、前記第2の一方側ゲート絶縁膜を介して形成された第2の一方側ゲート電極と、前記第2の他方側ゲート絶縁膜を介して形成された第2の他方側ゲート電極と、前記第1のゲート絶縁膜を介して形成された第1のゲート電極とを具備し、前記第2の一方側および他方側ゲート絶縁膜はキャリア電荷保持機能を有することを特徴とする。

【0017】なお、上記したキャリア電荷保持機能は、前記ゲート絶縁膜中、または当該ゲート絶縁膜を多層構造とした場合には膜中および各層の界面に形成されたキャリア捕獲準位、当該ゲート絶縁膜中に埋め込まれたシリコン、金属などの導電性微粒子によって発揮される。

【0018】(4) 第2のチャネル形成領域から第2のゲート絶縁膜へのキャリア注入は、当該第2のゲート絶縁膜の第1層による電位障壁を越え得るエネルギーがキャリアに付与されるように前記ドレイン領域および第2のゲート電極のそれぞれに所定の電位を印加することにより行われ、前記第2のゲート絶縁膜からのキャリアの引き出しが、当該第2のゲート絶縁膜の第3層による電位障壁層をキャリアがトンネル遷移し得る電界が前記第3層に付与されるように、前記キャリア注入時と同極性の電位を前記第2のゲート電極に印加することにより行われることを特徴とする。

【0019】上記した特徴(1)によれば、ソース領域からチャネル形成領域へ注入されたキャリアは、ドレイン領域に供給された電位により加速され、第2のゲート絶縁膜との界面に形成された電位障壁を越えられるだけのエネルギーを与えられて第2のゲート絶縁膜に注入される。なお、このエネルギーだけでは不十分の場合には、第2のゲート電極に印加されたゲート電位が発生する電界により補助的に第2のゲート絶縁膜の第2層まで引き寄せられて捕獲される。注入されたキャリアの一部は第2のゲート電極側へ進むが、当該キャリアの第2のゲート電極へのトンネルは、第2のゲート電極と第2のゲート絶縁膜の第3層との間の電位障壁によって阻止される。したがって、第2のゲート絶縁膜の第2層を従来より薄く形成しても十分なキャリアを捕獲することができ、結果的に、第3層を追加しても第2のゲート絶縁膜全体としては薄くできるので、キャリア注入時における第2のゲート電極への印加電圧を低く抑えることができる。

【0020】上記した特徴(2)によれば、第2のゲート絶縁膜へキャリアを注入する際、初めにソース領域から第1のチャネル形成領域へキャリアを注入する。このキャリア注入は、ソース領域を第1のチャネル形成領域に對して順バイアスする、あるいは第1のゲート電極へ、その閾値電圧以上の電位を供給してチャネルを第1のチャネル形成領域の表面に誘起することにより達成される。次いで、第2のチャネル形成領域と第2のゲート絶縁膜との界面に形成された電位障壁をキャリアが越えられるだけのエネルギーが当該キャリアに付与されるよう

に、ドレン領域へ第1の電位供給手段から所定の電位を供給する。さらに、電位障壁を越えたキャリアを第2層へ到達させるための補助電界を発生させるべく、第2のゲート電極へ第2の電位供給手段から規定の電位を供給する。

【0021】上記した特徴(3)によれば、第2の一方側ゲート絶縁膜および第2の他方側ゲート絶縁膜のそれぞれに、記憶データを独立的に保持させることができる。したがって、1つのメモリセルに2ビットのデータを記憶させることができ、集積密度の高いメモリを提供することができる。

【0022】上記した特徴(4)によれば、第2のゲート絶縁膜へのキャリアの注入およびその引き抜きが、いずれも第2のゲート電極へ同極性の電位を印加することにより行えるので、キャリアの注入および引き抜きのための回路構成および製造プロセスが簡単になる。

【0023】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。図1は、本発明の第1実施形態である不揮発性メモリセルの断面図であり、図2は、その等価回路を示した図である。

【0024】基板10の表面にはウエル101が形成され、ウエル101の表面には、n+ソース領域(S)121およびn+ドレン領域(D)122が離間して形成されている。前記基板10としては、半導体基板あるいは主表面に半導体薄膜が形成されたSOI基板等を用いることができる。

【0025】前記ソース領域121およびドレン領域122間のチャネル形成領域には、ソース領域121に隣接して第1のチャネル形成領域111が形成され、ドレン領域122に隣接して第2のチャネル形成領域112が形成されている。

【0026】第1のチャネル形成領域111の表面には、第1のゲート絶縁膜131を介して第1のゲート電極(G1)141が形成されている。前記第2のチャネル形成領域112の表面には、電荷保持機能を有する第2のゲート絶縁膜132を介して第2のゲート電極(G2)142が形成されている。前記第2のゲート電極142およびその絶縁膜132は、前記第1のゲート電極141のドレン側の一部および端面を覆うように延設され、第1および第2のゲート電極141、142は、前記第2のゲート絶縁膜132によって相互に絶縁されている。

【0027】なお、第1および第2のゲート電極141、142を相互に絶縁する絶縁膜は、上記したように、延設されたゲート絶縁膜に限定されず、製造方法に応じて他の(第3の)絶縁膜を別途に形成しても良い。

【0028】前記電荷保持機能を有する第2のゲート絶

縁膜132は多層構造であり、本実施形態では、基板表面からゲート電極142側へ順に、チャネル形成領域との界面に電位障壁を形成する第1層(シリコン酸化膜[O]またはシリコン酸化窒化膜[ON])132a、キャリア捕獲機能を有する第2層(シリコン窒化膜[N]、酸化タンタル膜[T]または第1、3層よりも酸素含有率の少ないシリコン酸化窒化膜[ON])132b、および第2のゲート電極142との界面に電位障壁を形成する第3層(シリコン酸化膜[O]またはシリコン酸化窒化膜[ON])132cを当該順序で積層した3層構造を採用している。

【0029】第2のゲート絶縁膜132の前記第2層は、第1層132aとの界面、第3層132cとの界面および自身の膜中の少なくとも1か所にキャリア捕獲順位を形成し、第2のチャネル形成領域112から第2のゲート絶縁膜132へ注入されたキャリアを捕獲する。

【0030】次いで、上記したメモリセルの動作原理について説明する。本実施形態では、初めにソース領域121からチャネル形成領域へキャリアを注入し、さらに、このキャリアを第2のチャネル形成領域112から第2のゲート絶縁膜132内へ、両者間の電位障壁を越えて注入する。ソース領域121からチャネル形成領域へキャリアを注入するためには、以下の2つの条件A、Bのいずれかが成立する必要がある。

【0031】条件A：第1のゲート電極141に対して、ソース領域121を基準にして第1のゲートの閾値電圧Vth1よりも高い電位を与える、あるいは第1のゲート電極141に所定の一定電位を与えて、ソース領域121の電位を、前記一定電位から第1のゲート電極の閾値電圧Vth1を引いた値よりも低い電位として、第1のゲート電極141下のチャネル形成領域表面にチャネルを誘起させる(PAC注入、CHE注入)。

【0032】条件B：ソース領域121をチャネル形成領域に対して順バイアスとし、チャネル形成領域へ少数キャリアを注入する(MC注入)。

【0033】さらに、第1のチャネル形成領域111を介して第2のチャネル形成領域112に注入されたキャリアを、当該チャネル形成領域112と第2のゲート絶縁膜132(第1層132a)との間の電子障壁VBを越えて第2のゲート絶縁膜132内に注入するためには、以下の2つの条件C、Dを同時に満足させる必要がある。

【0034】条件C：ドレイン領域122とチャネル形成領域との電位差VDBを(VB-2φF2)以上とする。

【0035】条件D：第2のゲート電極142に対して、チャネル形成領域を基準に下記(1)式で与えられる電位VG2Bを印加する。

$$VG2B = VB + Vth2 + (t_{i2}/\epsilon_{i2}) \cdot (2qNb2\epsilon_{si})^{1/2} \cdot ((VB)^{1/2} - (-2\phi F2 + VS)^{1/2}) + \Delta Vth \quad \dots (1)$$

但し、

- t_{i2} : 第2のゲート絶縁膜132の膜厚
- ϵ_{i2} : 第2のゲート絶縁膜132の誘電率
- ϵ_{si} : チャネル形成領域の誘電率（本実施形態では、 S_i の誘電率）
- q : 電荷素量（電子の電荷）
- $Nb2$: 第2のチャネル形成領域112の不純物濃度
- ϕ_{F2} : 第2のチャネル形成領域112のフェルミ準位
- VS : ソース領域の電位
- V_{th2} : 第2のゲート電極142のゲート閾値電圧
- VB : チャネル形成領域と第2のゲート絶縁膜との電子障壁高（ボルト換算値）
- ΔV_{th} : プログラム後の第2のゲート電極142のゲート閾値電圧変化分。

なお、第2のゲート絶縁膜132を3層構造とした際の前記 t_{i2} は、第1層132aの膜厚および誘電率を t_{i2-1} 、 ϵ_{i2-1} 、第2層132bの膜厚および誘電率を t_{i2-2} 、 ϵ_{i2-2} 、第3層132cの膜厚および誘電率を t_{i2-3} 、 ϵ_{i2-3} とすると、 t_{i2}/ϵ_{i2} は $t_{i2-1}/\epsilon_{i2-1} + t_{i2-2}/\epsilon_{i2-2} + t_{i2-3}/\epsilon_{i2-3}$ と表現できる。なお、 ϵ_{i2} は ϵ_{i2-1} 、 ϵ_{i2-2} 、 ϵ_{i2-3} のいずれでも、あるいはその中間値でも良いが、通常は第1層の誘電率をとることが多い。

【0036】本実施形態では、上記した条件Aが満足されると、第2のチャネル形成領域112内のキャリアには電子障壁 VB を越えるポテンシャルないしは運動エネルギーが与えられ、キャリアは第1層132aによる電子障壁を越えて第2のゲート絶縁膜132内に注入される。上記した条件Bが満足されると、電位障壁 VB を越えたキャリアは第2層へ誘引されて蓄積される。なお、第2のゲート電極142への印加電位（条件D）に関しては、後述するように、更に小さい値を採用することが可能である。

【0037】ここで、本実施形態では第2のゲート電極132が3層構造であり、第2のチャネル形成領域112から電位障壁を越えて第2のゲート絶縁膜132に注入されたキャリアは、ゲート電極142側への注入（トンネル遷移）が当該ゲート絶縁膜132の第3層132cによる電位障壁によって阻止される。したがって、第2層132bを薄くしてもキャリアを十分に捕獲することができる。

【0038】このように、本実施形態ではゲート絶縁膜132を3層構造としたので第2層132bを薄くすることができ、結果的に、第2のゲート絶縁膜132全体を薄くすることができる。したがって、前記式(1)の右辺第3項 $[(t_{i2}/\epsilon_{i2}) \dots + VS]^{1/2}$ の値は、浮遊ゲート形メモリやMOSメモリの場合の約半分となる。絶対的な値で示せば1V程度の低電圧化が可能となり、前記第2のゲート電極電位 $VG2B$ は $4.1V + \Delta V_{th}$ となる。そして、第2のゲート絶縁膜132に流

れるプログラム電流を従来のMONOSの場合より1桁以上大きくすることができるので、プログラム時間は1桁以下に小さくなる。

【0039】なお、チャネルホットエレクトロン(CH-E)注入の場合も、キャリアがドレイン近傍のチャネル形成領域表面で、ホットキャリアの平均自由行程 L （ $\leq 10\text{ nm}$ ）の数倍以内の距離でエネルギーを与えられた場合は、ステップチャネル構造（S. Ogura, A. Hori, J. Kato, M. Yamanaka, S. Odanaka, H. Fujimoto, K. Akamatsu, T. Ogura, M. Kojima and H. Kotani, "Low Voltage, Low Current, High Speed Program Step Split Gate Cell with Ballistic Direct Injection for EEPROM/Flash", 1998 IEDM, Technical Digest, 36.5, p.987）の採用によるバリスティック効果により、前記

(1)式のゲート電位 $VG2B$ よりもさらに小さいゲート電位（第2のゲート電極電位；たとえば、1~2V）でキャリアは電位障壁を越え、かつ第2層まで到達することができる。以下、このときのゲート電極電位を $VB - \phi_{GB}$ と表現する。ここで、 ϕ_{GB} はゲート材料と第2のチャネル形成領域との仕事関数差である。

【0040】なお、前記ステップチャネル構造が存在しなくとも、キャリアが格子散乱されることにより前記電位障壁よりも十分に大きなエネルギーが与えられれば、これにより第2のゲート電極からの補助電界は、ゼロを含めてさらに小さくても良いので、前記と同様に、(1)式のゲート電位 $VG2B$ よりもさらに小さいゲート電位でキャリア注入が達成される。

【0041】以上の各条件により、キャリアは第2のチャネル形成領域112の一部分から第2のゲート絶縁膜132内に注入され、キャリアは平面から見て部分的に蓄積される。キャリアの蓄積が始まると、その部分の電界が弱くなつて、更にその周囲への注入が行われる。

【0042】次いで、上記したメモリセルにおけるキャリアの消去（引き抜き）メカニズムについて説明する。本実施形態では、第2のゲート絶縁膜132として上記した3層構造を採用したので、以下の2通りの消去メカニズムを選択的に利用することができる。

【0043】(a) 第1の消去メカニズム
第2のゲート電極142へキャリア電荷と同極性の電位を供給し、第2のゲート絶縁膜132の第2層132bに注入・捕獲されているキャリアを、第1層132aを通してチャネル形成領域へトンネルバックさせる（このときに必要な絶縁膜中の平均電界は $8\text{ MV}/\text{cm}^2$ 程度）、この消去メカニズムを採用するためには、第3層132cよりも第1層132aのキャリアトンネル確率を高く設定しておくことが望ましい。

【0044】具体的には、各電位障壁層132a、132cの材質が同じであるならば、第1層132aの厚さを第3層132cよりも薄くする、厚さを同一とするならば、第2層132bから見た場合の、キャリアに対す

る第1、2層間のバリア高が第3、2層間のバリア高より低くなる材料の組み合わせを採用する。

【0045】(b) 第2の消去メカニズム

第2のゲート電極142へキャリアと異なる極性の電位を供給し、第2のゲート絶縁膜132の第2層132bに注入・捕獲されているキャリアを第3層132cをトンネル遷移させて引き抜く。この消去メカニズムを採用するためには、第1層132aよりも第3層132cのキャリアトンネル確率を高く設定しておくことが望ましい。

【0046】具体的には、各電位障壁層の材質が同じであるならば、第3層132cの厚さを第1層132aよりも薄くする。厚さを同一とするならば、第2層132bから見た場合の、キャリアに対する第3、2層間のバリア高を第1、2層間のバリア高より低くする材料の組み合わせを採用する。

【0047】ここで、上記した第1の消去メカニズムを採用すると、プログラム時と消去時とで極性の異なる電位を第2のゲート電極142へ供給する必要がある。すなわち、キャリアを電子とした場合、プログラム時には正電位を印加するのに対して、消去時には負電位を印加する必要がある。しかしながら、LSI上で異極性の高電位を発生させるためには余分な回路技術が必要となり、負電位発生部分を分離するための構造等の追加が必要となって製造コストを上昇させる。

【0048】これに対して、本実施形態では、特に第2の消去メカニズムを採用することにより、同一極性でレベルの異なる電位を第2のゲート電極142へ供給するだけで、キャリアの注入および引き抜きの双方が可能となる。

【0049】すなわち、本実施形態では第2のゲート絶縁膜132を3層構造とし、第2のゲート電極142との界面にも電位障壁層としての第3層132cを配置したので、電荷蓄積機能を有する第2層132bを薄膜化でき、その結果、第3層132cのトンネル遷移によるゲート側へのキャリア引き抜きが可能になる。しかしながら、キャリアをゲート側へ引き抜くための電位を第2のゲート電極142へ印加すると、この電位による電界がチャネル形成領域112内のキャリアへも作用する。

【0050】ここで、チャネル形成領域から第2のゲート絶縁膜132へのキャリア注入をトンネル遷移により行う従来のメモリ構造では、チャネル形成領域の表面に形成される絶縁膜（本実施形態の第1層132aに相当）のキャリアトンネル確率が高く設定されているので、第2のゲート電極142への印加電位により発生する電界により、チャネル形成領域112から第2のゲート絶縁膜132へのトンネル注入が同時に発生し、実質上、第2のゲート絶縁膜132からキャリアを引き抜くことができない。

【0051】これに対して、本実施形態ではチャネル形成領域112から第2のゲート絶縁膜132へのキャリア注入を、トンネル遷移ではなく電位障壁越えにより行うので、第2のゲート絶縁膜132のうち、第1層132a（チャネル形成領域側）のキャリアトンネル確率を十分に低くすることができる。したがって、消去時に第2のゲート電極142を高電位としても、チャネル形成領域から第2のゲート絶縁膜132へのトンネル注入量を無視できるほど少量に抑えながら、注入済みのキャリアを第3層132cからトンネル遷移により大量に引き抜くことができる。

【0052】なお、上記した第2の消去メカニズムを採用するのであれば、第1層132aとしてはシリコン酸化膜（O）、シリコン酸化窒化膜（ON）等が望ましく、膜厚は3nm以上が望ましい。第2層132bとしては、シリコン窒化膜（N）、酸化タンタル膜（T）が望ましく、低電圧プログラムのためにはシリコン窒化膜を10nm以下にすることが望ましいが、4nmでも動作が確認されている。

【0053】第2層132bのシリコン窒化膜は第1層、第3層に用いられるシリコン酸化窒化膜よりも原子パーセントで少量の酸素を含有していても良い。酸化タンタル膜の膜厚は50nm以下が望ましい。第3層はシリコン酸化膜（O）またはシリコン酸化窒化膜（ON）が望ましく、その膜厚は2nm以上が望ましい。

【0054】すなわち、第2のゲート絶縁膜132の第1/第2/第3層の組み合わせは、O/N/O、ON/N/O、ON/N/ON、O/N/ON、O/T/O、ON/T/O、ON/T/ON、O/T/ONが可能である。

【0055】第1層132aを3~4nmのシリコン酸化膜またはシリコン酸化窒化膜、第3層を2~4nmのシリコン酸化膜またはシリコン酸化窒化膜で構成すれば、低電圧で同一極性のゲート電圧でプログラムおよび消去が可能なメモリセルを実現できる。

【0056】なお、第1層としてシリコン酸化膜、第3層としてシリコン酸化窒化膜を採用するのであれば、両者の膜厚は同じでよい。これは、シリコン酸化窒化膜の方が第2層からみた際のキャリア障壁が低く、同じ膜厚であっても第3層の方がキャリアトンネル確率が大きくなるからである。また、各層とも酸化窒化膜を採用するのであれば、第3層の膜厚を第1層よりも薄くすることができる。

【0057】ところで、ドレイン領域122に前記条件Cの（VB-2 ϕ F2）以上の電位を供給したとき、ドレイン領域122から第2のチャネル形成領域112の表面に空乏層が広がり、これが第1のチャネル形成領域111にまで達してしまうと、第2のチャネル形成領域112においてキャリアに与えられる電位差すなわちエネルギーが低下し、第2のゲート絶縁膜132へのキャリア

注入効率が低下してしまう。

【0058】このようなキャリア注入効率の低下を防止するためには、第2のチャネル形成領域112の不純物濃度Nb2を第1のチャネル形成領域111の不純物濃度Nb1よりも高く設定することが望ましい。不純物濃度Nb2のおおよその目安としては、第2のチャネル形成領域112の実効チャネル長をLeffとしたとき、次式(2)で与えられる値が望ましい。

$$Nb2 > \epsilon_{si} (VB - 2\phi F2) / q Leff \quad \dots (2)$$

上記した式(2)によれば、実効チャネル長Leffが60nmのときにはNb2は4E17cm⁻³以上が必要である。なお、式(2)から明らかなように、第2のチャネル形成領域112の実効チャネル長Leffが半分になれば、不純物濃度は4倍となる。

【0059】上記した式(2)は、第2のチャネル形成領域112の不純物濃度が一様であり、かつドレイン領域も同じ不純物濃度部分を有する場合の関係であり、第2のチャネル形成領域112を部分的に高濃度としたり、ドレイン領域122を更に高濃度とするのであれば、更に大きな値に設定する必要がある。

【0060】なお、第2のチャネル形成領域112の不純物濃度が第1のチャネル形成領域111よりも高く設定されていることは、ドレイン・ソース間に電圧を印加した時に、ドレイン領域からのパンチスルーベルト(より大きな逆バイアスをドレインへ供給する)の方がソース領域からのパンチスルーベルトよりも小さくなることで確認できる。

【0061】次いで、上記した構成の不揮発性メモリセルを行列のマトリックス状に配列して構成される不揮発性メモリアレイについて説明する。図3は、第1の不揮発性メモリアレイの接続方法の一例を示している。

【0062】各メモリセルのソース領域(S)121は、同一行同士がビット線LBにより相互联続されている。ドレイン領域(D)122は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互联続されている。第1のゲート電極(G1)141は、同一列同士がワード線LWにより相互联続されている。第2のゲート電極(G2)142は、同一列同士が制御線LCにより相互联続されている。

【0063】図4は、第2の不揮発性メモリアレイの接続方法を示している。各不揮発性メモリセルのソース領域(S)121は、同一行同士がビット線LBにより相互联続されている。行方向に隣接するメモリセルの各ドレイン領域(D)122同士は、相互に接続されると共に列方向にも共通線LCにより相互联続されている。第1のゲート電極(G1)141は、同一列同士がワード線LWにより相互联続されている。第2のゲート電極(G2)142は、同一行同士が制御線LCにより相互联続されている。

【0064】図5は、前記第1および第2の接続方法におけるメモリアレイのプログラム方法を示した信号波形図である。

【0065】選択したメモリセルをプログラム(書き込み)する際、そのワード線LWには、第1のゲート電極141のゲート閾値電圧Vth1よりも高い電位VWPR1を印加して第1のチャネル形成領域111にチャネルを形成する。選択されている共通線(第2のゲート電極142)LCには、前記条件Cに従って(VB - 2\phi F2)よりも高い電位を印加し、非選択の共通線LCには、接合降伏電圧よりも低い逆バイアス方向の任意電位を印加する。選択されている制御線(ドレイン122)LSには、前記条件Dに従って、前記(1)式のVG2B(または、VB - 2\phi GB)よりも高い電位を印加し、非選択の制御線LSには、トンネル電流によるプログラムが生じない程度の所定電位を印加する。

【0066】ビット線LBには、前記ワード線LWに供給される電位VWPR1から前記ゲート閾値電圧Vth1分を引いた値(VWPR1 - Vth1)よりも高い所定電位VBPrが予め印加されており、プログラム時には、前記差分値(VWPR1 - Vth1)よりも高い電位VBPrまたは低い電位VBPr0を、記憶データの内容に応じて印加する。このとき、ビット線LBへの印加電位VBPr0を、破線で示したように可変制御すれば、情報を多値にプログラムすることができる。

【0067】以上のプログラム動作により、ソース領域121からチャネル形成領域に注入されたキャリアが、第2のチャネル形成領域112と第2のゲート絶縁膜132(第1層132a)との間の電位障壁を乗り越えて第2層132bへ注入され、ビット線LBへの印加電位に応じた情報が不揮発的に記憶されることになる。

【0068】一方、選択したメモリセルの記憶データを読み出す際は、そのメモリセルのビット線LBに逆バイアス電位VBRDを印加し、制御線LSには、第2のゲート電極142のゲート閾値電圧Vth2よりも高い電位VCRDを印加し、ワード線LWには、第1のゲート電極141のプログラムされたゲート閾値電圧Vth1のうち、小さい方の値よりも高い電位VWRDを印加する。そして、この状態でビット線LBに流れる電流iWRDをセンスアンプにより検知することでメモリセルのオン/オフを判定、すなわち記憶データを判定する。なお、電流を直接検知するのではなく、ビット線を充電した電荷の放電速度(電位変化)で記憶データを代表するようにしても良い。

【0069】なお、メモリセルの接続方法およびプログラム方法は上記した方法に限定されず、以下のように変形させても良い。

【0070】図6は、第1変形例の接続方法を示した図であり、各不揮発性メモリセルのソース領域(S)121は、行方向に隣接するメモリセル同士で共通接続され

ると共に、その同一列同士が共通線LCにより相互接続されている。ドレイン領域(D)122は、同一行同士がビット線LBにより相互接続されている。第1のゲート電極(G1)141は、同一列同士がワード線LWにより相互接続されている。第2のゲート電極(G2)142は、同一列同士が制御線LCにより相互接続されている。

【0071】図7は、第2変形例の接続方法を示した図であり、各不揮発性メモリセルのソース領域121は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互接続されている。ドレイン領域122は、同一行同士がビット線LBにより相互接続され、第1のゲート電極141は、同一列同士がワード線LWにより相互接続され、第2のゲート電極142は、同一行同士が制御線LSにより相互接続されている。

【0072】図8は、本発明を適用した不揮発性メモリセルの第2実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0073】本実施形態では、第1のゲート電極141およびそのゲート絶縁膜131と第2のゲート電極142およびそのゲート絶縁膜132との端部における重なり具合が前記第1実施形態とは逆であり、第1のゲート電極141およびそのゲート絶縁膜131が第2のゲート電極142のソース側の表面および端面を覆うように延設されている。

【0074】図9は、本発明を適用した不揮発性メモリセルの第3実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。本実施形態では、第1および第2のゲート電極141、142が第2のゲート絶縁膜132を挟んで並列配置され、当該第2のゲート絶縁膜132によって相互に絶縁されている。

【0075】なお、上記した第1ないし第3実施形態では、第1および第2のゲート電極141、142を第1または第2のゲート絶縁膜131、132で相互に絶縁するものとして説明したが、他の(第3の)絶縁膜で絶縁しても良いし、あるいは第1または第2のゲート絶縁膜132、132と他の絶縁膜とを併用して多重に絶縁しても良い。

【0076】また、図10に代表して示したように、第1のゲート電極141と第2のゲート電極142との間の結合容量を減少させて駆動速度を改善するために、第1のゲート電極141の上面に予め窒化膜141bを形成したり、ゲート電極141の端面を酸化して酸化膜141aを形成したり、あるいは酸化膜141aの代わりに、ゲート電極141の側面に絶縁部材としてのサイドウォール(図示せず)を形成しても良い。前記サイドウォールは、たとえば基板10の主表面に絶縁層を一様に形成し、これを異方性エッチングにより選択的に除去することにより形成できる。

【0077】図11は、本発明を適用した不揮発性メモリセルの第4実施形態の断面図、図12は、その等価回路を示した図であり、前記と同一の符号は同一または同等部分を表している。本実施形態では、1つのメモリセルに2ビット分のデータを独立的に保持できるようにした点に特徴がある。

【0078】基板10の表面にはウエル101が形成され、その表面には一対のn+ソース/ドレイン領域(SD1)221、(SD2)222が離間して形成されている。各ソース/ドレイン領域221、222間のチャネル形成領域には、第1のチャネル形成領域211ならびに第2の一方側および他方側チャネル形成領域212L、212Rがチャネル方向に沿って形成されている。第2の各チャネル形成領域212L、212Rは、それぞれ各ソース/ドレイン領域221、222に隣接配置され、第1のチャネル形成領域211は第2の各チャネル形成領域212L、212R間に配置されている。

【0079】第1のチャネル形成領域211の表面には、第1のゲート絶縁膜131を介して第1のゲート電極(G1)241が形成されている。第2の一方側チャネル形成領域212Lの表面には、電荷保持機能を有する第2の一方側ゲート絶縁膜132Lを介して第2の一方側ゲート電極(G2)242Lが形成されている。第2の一方側ゲート電極242Lおよびその絶縁膜132Lは、前記第1のゲート電極241のソース/ドレイン領域221側の一部および端面を覆うように延設され、第1のゲート電極131および第2の一方側ゲート電極132Lは、前記第2の一方側ゲート絶縁膜132Lによって相互に絶縁される。

【0080】同様に、第2の他方側チャネル形成領域212Rの表面には、電荷保持機能を有する第2の他方側ゲート絶縁膜132Rを介して第2の他方側ゲート電極(G3)242Rが形成されている。前記第2の他方側ゲート電極242Rおよびその絶縁膜132Rは、前記第1のゲート電極241のソース/ドレイン領域222側の一部および端面を覆うように延設され、第1のゲート電極241および第2の他方側ゲート電極242Rは、前記第2の他方側ゲート絶縁膜132Rによって相互に絶縁される。

【0081】本実施形態では、低電圧駆動を実現するために、前記第2の各ゲート絶縁膜132L、132Rがいずれも多層構造であり、上記した各実施形態と同様に、基板表面からゲート電極側へ順に、チャネル形成領域との界面に電位障壁を形成する第1層(シリコン酸化膜[O]またはシリコン酸化窒化膜[ON])132a、キャリア捕獲機能を有する第2層(シリコン窒化膜[N]、酸化タンタル膜[T]または第1、3層よりも酸素濃度の低いシリコン酸化窒化膜[ON])132b、および第2のゲート電極142との界面に電位障壁を形成する第3層(シリコン酸化膜[O]またはシリコ

ン酸化塗化膜[ON]) 132cを当該順序で積層した3層構造を採用している。なお、低電圧駆動が不要であるならば、前記第2の各ゲート絶縁膜132L、132Rはいずれも電荷保持機能を有するだけで十分であり、例えば2層構造であっても良い。

【0082】上記した構成において、第2の一方側ゲート絶縁膜132Lへキャリアを注入する際は、ソース／ドレイン領域222から第2の他方側チャネル形成領域212Rへキャリアを注入し、さらに第1のチャネル形成領域211を介して第2の一方側チャネル形成領域212Rへ注入する。一方側チャネル形成領域212Rまで注入されたキャリアは、電位障壁越えによって一方側ゲート絶縁膜132Lへ注入する。

【0083】第2の他方側ゲート絶縁膜132Rへキャリアを注入する際も同様に、ソース／ドレイン領域221から第2の一方側チャネル形成領域212Lへキャリアを注入し、さらに第1のチャネル形成領域211を介して第2の他方側チャネル形成領域212Lへ注入する。他方側チャネル形成領域212Lまで注入されたキャリアは、電位障壁越えによって他方側ゲート絶縁膜132Rへ注入する。

【0084】本実施形態によれば、第2の各ゲート絶縁膜132L、132Rのそれぞれに記憶データを独立的に蓄積することができる、1セルに2ビットのデータを記憶することができ、集積密度の高いメモリを提供することができる。

【0085】なお、本実施形態でも第2の各ゲート絶縁膜132L、132Rを3層構造とし、チャネル形成領域からゲート絶縁膜へのキャリア注入を電位障壁越えにより行えば低電圧駆動が可能になる。

【0086】さらに、第2の各ゲート絶縁膜132L、132Rの第1層および第3層のキャリアトンネル確率を上記と同様に制御してキャリアをゲート電極側から引き抜くようにすれば、同一極性でレベルの異なる電位をゲート電極へ供給するだけで、キャリアの注入および引き抜きの双方が可能となる。

【0087】図13は、本発明を適用した不揮発性メモリセルの第5実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0088】本実施形態と上記した第4実施形態とはゲート電極の上下関係が異なり、第1のゲート電極24.1(およびゲート絶縁膜131ないしは他の絶縁膜131c)の両端が、それぞれ第2の一方側および他方側のゲート電極24.2L、24.2Rの端部および端面を覆うように形成されている。

【0089】本実施形態でも、上記した第2実施形態と同様の効果が達成される。さらに、本実施形態によれば、第1のゲート電極24.1がソース／ドレイン領域221、222を横断して配線するのに好適な構造を提供できる。

【0090】図14は、本発明を適用した不揮発性メモリセルの第6実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0091】本実施形態では、第1のチャネル形成領域211の表面に第1のゲート絶縁膜131を介して第1のゲート電極24.1が形成されている、第2の各ゲート絶縁膜132L、132Rは、第2の各チャネル形成領域212L、212Rと第2の各ゲート電極24.2L、24.2Rとの間に形成され、さらに第1のゲート電極24.1と第2の各ゲート電極24.2L、24.2Rとの間隙まで延設されて各ゲート電極を相互に絶縁している。

【0092】第2の一方側および他方側ゲート電極24.2L、24.2Rは、前記第2の各チャネル形成領域212L、212Rの表面に前記第2のゲート絶縁膜132を介して、異方性エッチングを利用したサイドウォールとして形成されている。第1のゲート電極24.1の上部には、ワード線LWが接続されている。本実施形態でも、上記した第4、第5実施形態と同様の効果が達成される。

【0093】なお、上記した第6実施形態では、第2のゲート絶縁膜132を第1のゲート電極24.1の全面に形成したのち、第1のゲート電極24.1の上面を露出させてワード線LWを接続している。したがって、実際には図15に示したように、ゲート電極24.1の上端部では絶縁膜132が薄くなり、当該部分での絶縁機能が低下してしまう。このような場合には、図15に示したように、ゲート電極24.1の端面を酸化して酸化膜24.1aを形成したり、あるいは酸化膜24.1aの代わりにゲート電極24.1の側面に絶縁部材としてのサイドウォール(図示せず)を形成しても良い。

【0094】このように、各ゲート電極をゲート絶縁膜のみならず他の絶縁膜と共に絶縁すれば、各ゲート電極間の容量を低下させることができるので高速、低電力駆動が可能になる。

【0095】図16は、本発明を適用した不揮発性メモリセルの第7実施形態の断面図であり、前記と同一の符号は同一または同等部分を表している。

【0096】本実施形態では、第2の各ゲート絶縁膜132L、132Rを前記と同様に3層構造とする一方で、第2のゲート電極24.2L、24.2Rの表面に形成した絶縁膜40.1と第2のゲート電極24.2L、24.2Rの側面に形成したサイドウォール40.2とで第1および第2のゲート電極を相互に絶縁し、第2のゲート絶縁膜132の一部をエッチングして第1のゲート絶縁膜10.3を再形成している。本実施形態でも、上記した実施形態と同様の効果が達成される。

【0097】次いで、上記した構成の不揮発性メモリセルを行列のマトリックス状に配列して構成される不揮発性メモリアレイについて説明する。図17は、第1の不揮発性メモリアレイの接続方法の一例を示し、図18

は、第2の不揮発性メモリアレイの接続方法の一例を示している。

【0098】図17において、各不揮発性メモリセルの各ソース／ドレイン領域(SD1、SD2)221、222は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士がビット線LBにより相互接続されている。第1のゲート電極(G1)241は、同一行同士がワード線LWにより相互接続されている。第2の一方側ゲート電極242Lは、同一列同士が第1制御線LSaにより相互接続され、第2の他方側のゲート電極242Rは、同一列同士が第2制御線LSbにより相互接続されている。

【0099】図18において、各不揮発性メモリセルの一方のソース／ドレイン領域(SD1)221は、同一行同士がビット線LBにより相互接続されている。他方のソース／ドレイン領域(SD2)222は、行方向に隣接するメモリセル同士で共通接続されると共に、その同一列同士が共通線LCにより相互接続されている。第1のゲート電極(G1)241は、同一列同士がワード線LWにより相互接続されている。第2の一方側ゲート電極(G2)242Lは、同一列同士が第1制御線LSaにより相互接続され、第2の他方側のゲート電極(G2)242Rは、同一列同士が第2制御線LSbにより相互接続されている。

【0100】

【発明の効果】本発明によれば、以下のような効果が達成される。

(1) 第2のゲート絶縁膜を3層構造とし、チャネル形成領域へ注入されたキャリアを、チャネル形成領域と第2のゲート絶縁膜の第1層との間の電位障壁を越えて注入するようにしたので、第2のゲート絶縁膜を薄くすることができ、キャリア注入時における第2のゲート電極の電位を低く抑えることができる。

(2) 第1のゲート電極の両側に第2のゲート電極およびその絶縁膜を設け、チャネル形成領域内のキャリアをそれぞれの第2の絶縁膜へ独立的に注入できるようにしたので、1つのメモリセルに2ビットのデータを記憶させることができ、集積密度の高いメモリを提供することができる。

(3) 第2のゲート絶縁膜へのキャリアの注入およびその引き抜きが、いずれも第2のゲート電極へ同極性の電位を印加することにより行えるので、キャリアの注入および引き抜きのための回路構成が簡単になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態である不揮発性メモリセルの断面図である。

【図2】図1の等価回路を示した図である。

【図3】不揮発性メモリアレイの第1の実施形態の接続方法を示した図である。

【図4】不揮発性メモリアレイの第2の実施形態の接続方法を示した図である。

【図5】メモリアレイのプログラム方法を示した信号波形図である。

【図6】不揮発性メモリアレイの第3の実施形態の接続方法を示した図である。

【図7】不揮発性メモリアレイの第4の実施形態の接続方法を示した図である。

【図8】本発明の第2実施形態である不揮発性メモリセルの断面図である。

【図9】本発明の第3実施形態である不揮発性メモリセルの断面図である。

【図10】本発明の第3実施形態の変形例の断面図である。

【図11】本発明の第4実施形態である不揮発性メモリセルの断面図である。

【図12】図11の等価回路を示した図である。

【図13】本発明の第5実施形態である不揮発性メモリセルの断面図である。

【図14】本発明の第6実施形態である不揮発性メモリセルの断面図である。

【図15】本発明の第6実施形態の変形例の断面図である。

【図16】本発明の第7実施形態である不揮発性メモリセルの断面図である。

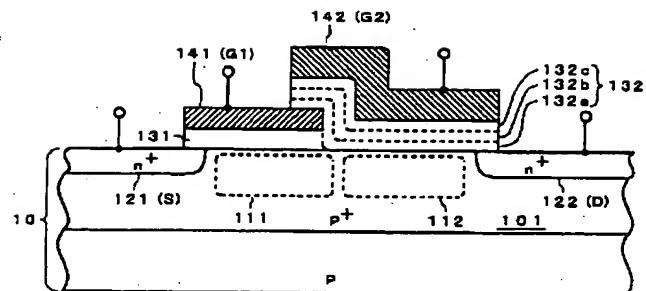
【図17】メモリアレイの接続方法の一例を示した図である。

【図18】メモリアレイの接続方法の一例を示した図である。

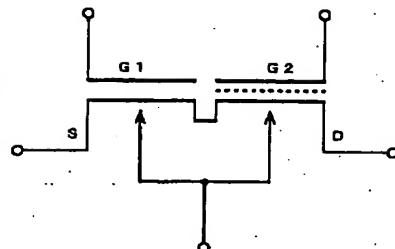
【符号の説明】

10…基板、101…ウエル、121…ソース領域、122…ドレイン領域、111…第1のチャネル形成領域、112…第2のチャネル形成領域、131…第1のゲート絶縁膜、132…第2のゲート絶縁膜、141…第1のゲート電極、142…第2のゲート電極、132a…第2のゲート絶縁膜の第1層、132b…第2のゲート絶縁膜の第2層、132c…第2のゲート絶縁膜の第3層

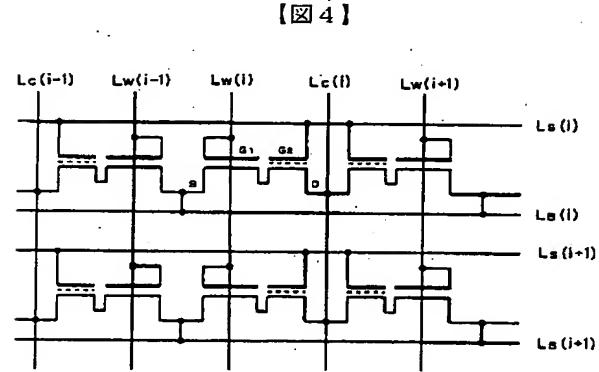
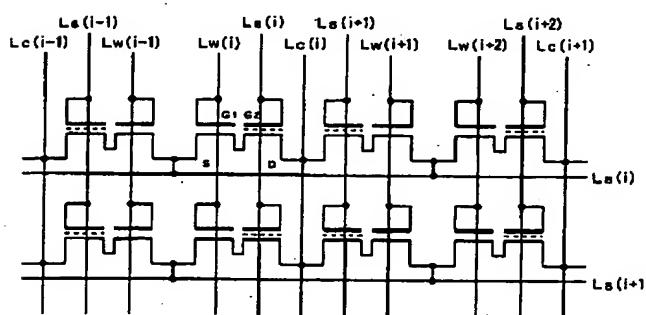
【図1】



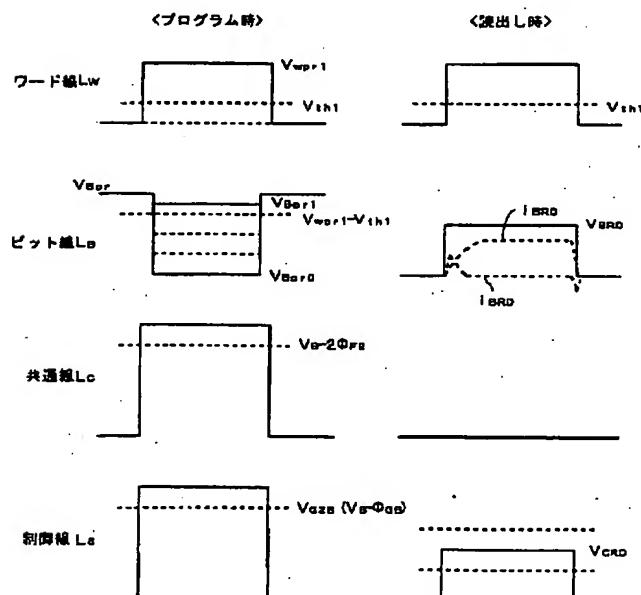
【図2】



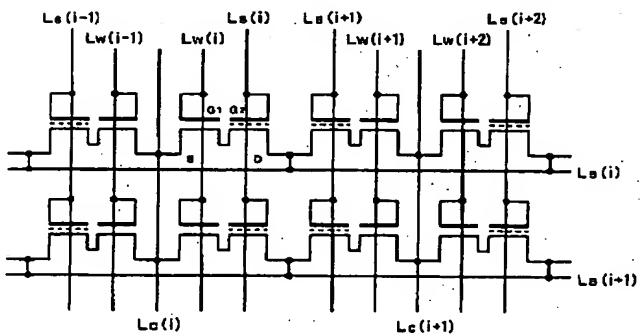
【図3】



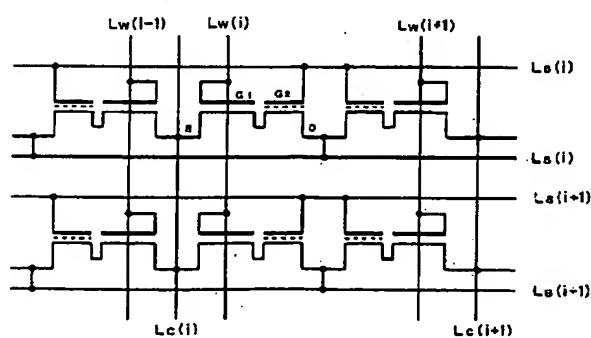
【図5】



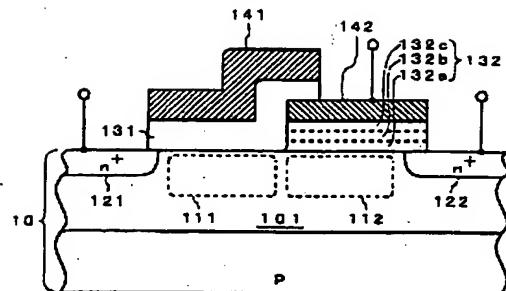
【図6】



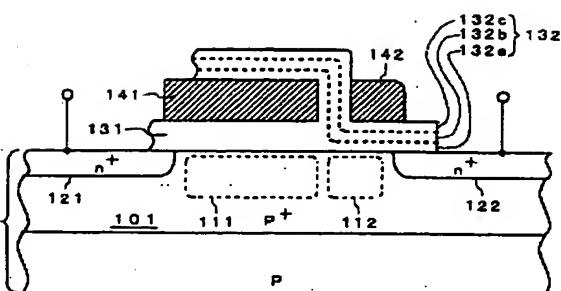
【図7】



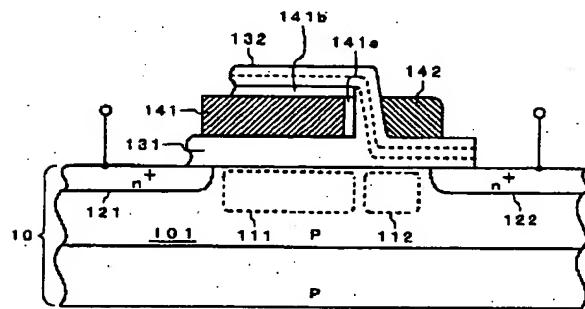
【图8】



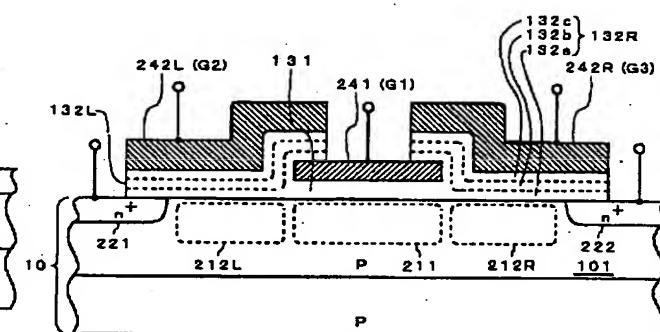
[図9]



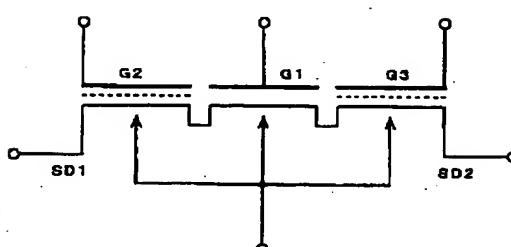
【図10】



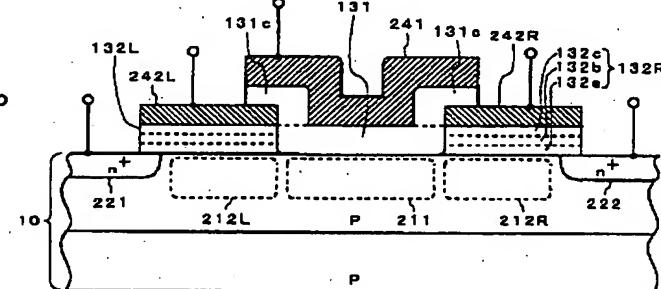
【图11】



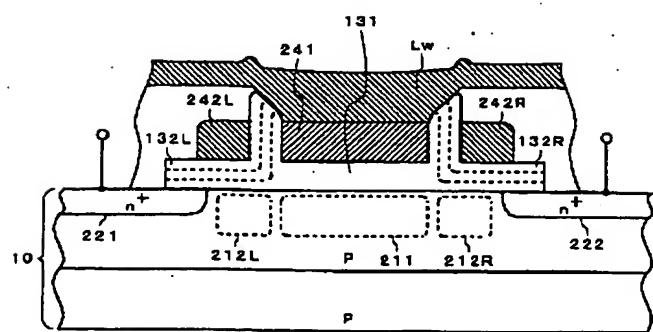
【図12】



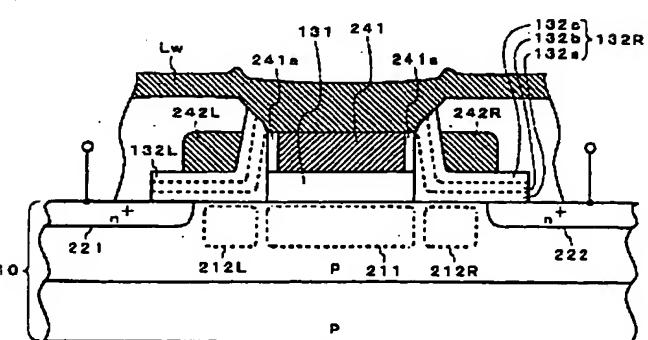
【図13】



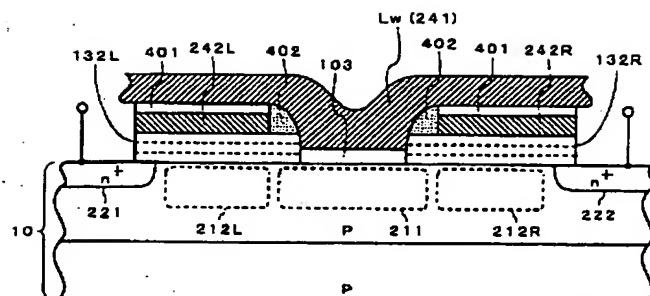
[図 1-4]



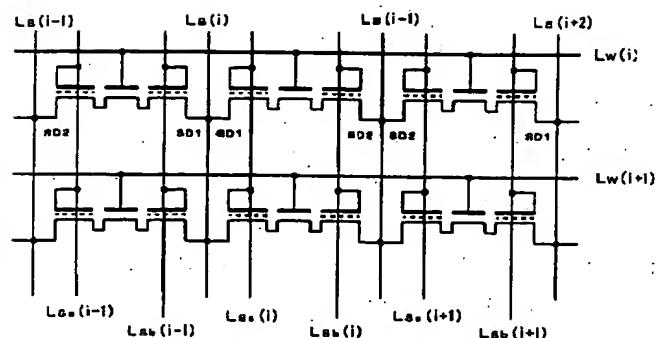
〔図15〕



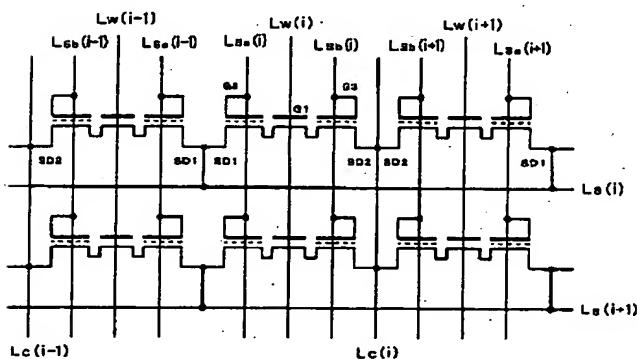
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコト(参考)

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

(72) 発明者 林 豊

茨城県つくば市梅園2丁目3番10号

(72) 発明者 小椋 正気

アメリカ合衆国 12590 ニューヨーク州、
ワッピングガーズフォールズ、オールドホー
プウェルロード 140